

**PAT-NO:** JP403144840A  
**DOCUMENT-IDENTIFIER:** JP 03144840 A  
**TITLE:** CHIP SELECTION SYSTEM  
**PUBN-DATE:** June 20, 1991

**INVENTOR-INFORMATION:**

**NAME** **COUNTRY**  
KATO, MASARU

**ASSIGNEE-INFORMATION:**

**NAME** **COUNTRY**  
YOKOGAWA ELECTRIC CORP N/A

**APPL-NO:** JP01284523  
**APPL-DATE:** October 31, 1989

**INT-CL (IPC):** G06F013/14

**ABSTRACT:**

**PURPOSE:** To easily cope with addition or deletion of peripheral chips for change or extension of a design and to improve the interchangeability of software between systems by cascading the allocation selecting signals.

**CONSTITUTION:** An address decoder having an allocation address setting function is provided to each of peripheral chips 1 - 3. The data, address and read/write signal lines are prepared as buses and at the same time the chips 1 - 3 are cascaded via the allocation selecting signal lines L1 - L3. Therefore the allocation selecting signals are sequentially transmitted through the chips 1 - 3 in cascade. Thus it is possible to easily cope with addition or deletion of peripheral chips and so set the allocation address of each peripheral chip with software via a data bus. Then the interchangeability of software is improved between systems.

**COPYRIGHT:** (C)1991,JPO&Japio

## ⑫ 公開特許公報(A)

平3-144840

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月20日

G 06 F 13/14

3 2 0 B

7218-5B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 チップ選択方式

⑯ 特 願 平1-284523

⑰ 出 願 平1(1989)10月31日

⑱ 発 明 者 加 藤 大 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑳ 代 理 人 弁理士 小沢 信助

## 明 細 書

## 1. 発明の名称

チップ選択方式

## 2. 特許請求の範囲

CPUからアドレスバスに出力されるアドレス値と周辺チップの割付けアドレスとの一致を検出して対応する周辺チップを選択するチップ選択方式において、

各周辺チップがアドレスデコードを有し、割付け選択信号がカスケード接続する前記アドレスデコードを順次遅延して伝達され、前記各周辺チップの割付けアドレスをCPUからデータバスを介して前記各アドレスデコードに順次設定することの特徴とするチップ選択方式。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は、マイクロコンピュータシステムの周辺チップのチップ選択方式に関するものである。

## &lt;従来の技術&gt;

一般にマイクロコンピュータシステムはCPU、

メモリおよび周辺チップで構成されるが、CPUからアドレスバス上に出力される値と当該周辺チップの割付けアドレスの一致を検出し、チップセレクト端子を介して当該周辺チップにアクセスを伝達する。

## &lt;発明が解決しようとする課題&gt;

しかしながら、上記のようなシステムにおけるチップ選択方式には次のような種々の問題がある。

a. チップセレクト信号発生のためのアドレスデコードをゲートアレイ等により集積回路化すると、周辺チップの追加、削除に合せて再設計しなければならない。また多数の周辺チップを用いる場合、配線数も多くなる。

b. 各周辺チップにアドレスデコードを持たせると、割付けアドレスの変更が出来ない。さらに、同じ種類の周辺チップを使用することができない。

c. 各周辺チップのアドレスがハードウェア的に固定されるため、それぞれのドライバソフトウェアがシステム間で共通化できない。

本発明は上記の問題を解決するためになされた

もので、設計変更や拡張における周辺チップの追加や削除に容易に対応でき、システム間のソフトウェアの互換性が高いチップ選択方式を実現することを目的とする。

#### <課題を解決するための手段>

本発明はCPUからアドレスバスに出力されるアドレス値と周辺チップの割付けアドレスとの一致を検出して対応する周辺チップを選択するチップ選択方式に係るもので、その特徴とするところは各周辺チップがアドレスデコードを有し、割付け選択信号がカスケード接続する前記アドレスデコードを順次遅延して伝達され、前記各周辺チップの割付けアドレスをCPUからデータバスを介して前記各アドレスデコードに順次設定する点にある。

#### <作用>

割付け選択信号がカスケード接続により各周辺チップを順次伝搬するので周辺チップの追加や削除に容易に対応でき、各周辺チップの割付けアドレスがデータバスを介してソフトウェアで設定で

きるのでシステム間のソフトウェアの互換性が高まる。

#### <実施例>

以下、図面を用いて本発明を詳しく説明する。第1図は本発明に係るチップ選択方式の一実施例を示す構成ブロック図である。各周辺チップ1, 2, 3...には割付けアドレス設定機能を持つアドレスデコードが設けられている。従来と同様、データ、アドレス、リードライトの各信号線がバスとして接続されている外、各周辺チップは割付け選択信号線 $L_1$ ,  $L_2$ ,  $L_3$ ...でカスケードに接続されている。

第2図は各周辺チップの内部を示す構成ブロック図である。図において、周辺回路本体21以外の部分はアドレスデコードを構成する。各周辺チップは通常のアクセスと、割付け設定アクセスの2つの動作モードを持つ。

#### (1) 通常のアクセスモード

従来のアクセスサイクルと基本的に同じ動作モードで、CPUからアドレスバスに出力される値

と割付けアドレスの一致により当該周辺チップがアクセスされる。

#### (2) 割付け設定アクセスモード

各周辺チップの割付けアドレスをソフトウェアで設定する動作モードで、第3図のタイムチャートを用いて初段の場合の動作を以下に説明する。ただしタイムチャート内の信号表示記号の添字の数字の部分は周辺チップの段数を表す。

初めに電源投入後、システムリセットによりシステムが起動される(第3図(A))。第2図の周辺チップを含め、全ての周辺チップに共通の割付け設定用アドレスADSを割当てて、CPUがこの割付け設定用アドレスADSに対し書き込みを行うと、CPUからアドレスバスに出力された値がアドレスラッチストローブ信号(第3図(C))により第1のラッチ11に保持され、割付け設定用アドレスADSとの一致がXOR(排他的論理和)回路12で検出され、ライトイネーブル信号WE(第3図(B))との論理積がAND回路13でとられ、その出力でD-FF(D形フリップ

フロップ回路)14, 15のクロック端子が駆動される。このとき割付け選択信号入力 $AG_{in}$ がH(High:高レベル)になっていると、上記クロックの立上がりでAND16の出力はHとなる。この出力は上記クロックの立ち下がり、すなわち書き込みサイクルの終了時点でD-FF17により割付け選択信号出力 $AG_{out}$ として後段の周辺チップに伝えられる(第3図(F))。この割付け選択信号出力 $AG_{out}$ とD-FF17のクロック信号の論理積がAND回路18でとられ、第2のラッチ回路19のラッチストローブ信号LSとなる(第2図(G))。この書き込みサイクルでCPUがデータバスに出力した値がラッチ19に取込まれ、これがアドレス一致検出用XOR20の比較値すなわち割付けアドレスとなる。したがって、このサイクル以降に(通常のアクセスモードで)、CPUがラッチ19の割付けアドレスに対し、書き込みもしくは読み出しのアクセスを行えばXOR20の出力がHとなり、周辺回路本体21のチップセレクト端子を活性化することができる。第2

図の回路で、D-FF 14、15およびAND回路16は差分回路を構成し、割付け設定用アドレスADSのアクセスで割付け選択信号入力AG<sub>in</sub>が初めてHになった時のみ、AND回路16の出力はHとなる。その後は割付け選択信号入力AG<sub>in</sub>がHのままでも割付けの動作、すなわちラッチ19へのアドレスの書き込みは行なわれない。すなわち、ラッチ19の設定が終了した段階で当該周辺チップは(2)の割付け設定モードから(1)の通常アクセスモードに移行する。したがってCPUから初段のチップ(第1図の1)にダミーアクセスを行うのみで割付け選択信号の自動発生が可能となり、初段のチップの割付け選択信号入力AG<sub>in</sub>に割付けのために特別にパルスを入力する必要がない。前段からの割付け選択信号AG<sub>out</sub>は設定アクセスごとに遅延され、順次後段の割付け選択信号入力AG<sub>in</sub>に伝達されるため、全ての周辺チップを選択することができる。

このような構成のチップ選択方式によれば、外部にアドレスデコード回路を必要とせず、配線が

大幅に減少する。

また割付け選択信号をカスケード接続することにより、設計変更や拡張における周辺チップの追加や削除に容易に対応することができる。

各周辺チップの割付けアドレスをソフトウェアで設定できるため、デバイスドライバ等も固定でき、システム間のソフトウェアの互換性が高まり、フレキシビリティが増す。

#### <発明の効果>

以上の説明から明らかなように、本願発明によれば、配線数が少なく、設計変更や拡張における周辺チップの追加や削除に容易に対応でき、システム間のソフトウェアの互換性が高いチップ選択方式を簡単な構成で実現することができる。

#### 4. 図面の簡単な説明

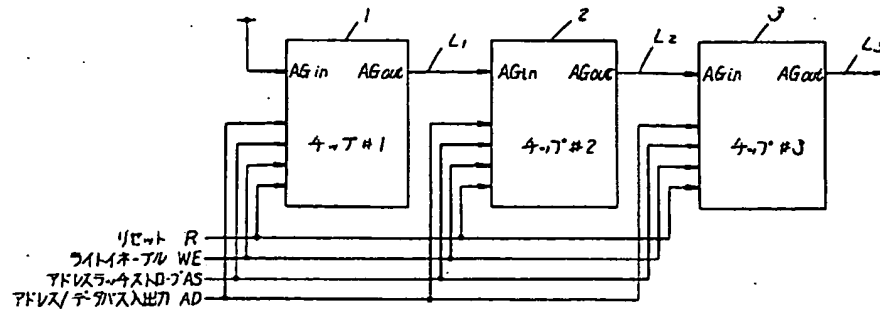
第1図は本発明に係るチップ選択方式の一実施例を示す構成ブロック図、第2図は第1図の各周辺チップの内部を示す要部構成ブロック図、第3図は第2図装置の動作を示すタイムチャートである。

1、2、3…周辺チップ、11…アドレスラッチ、12、20…一致検出用XOR、14、15、16…D-FF、19…割付けアドレス設定用レジスタ、21…周辺回路本体、AG<sub>in</sub>…割付け選択信号入力、AG<sub>out</sub>…割付け選択信号出力、ADS…割付け設定用アドレス値。

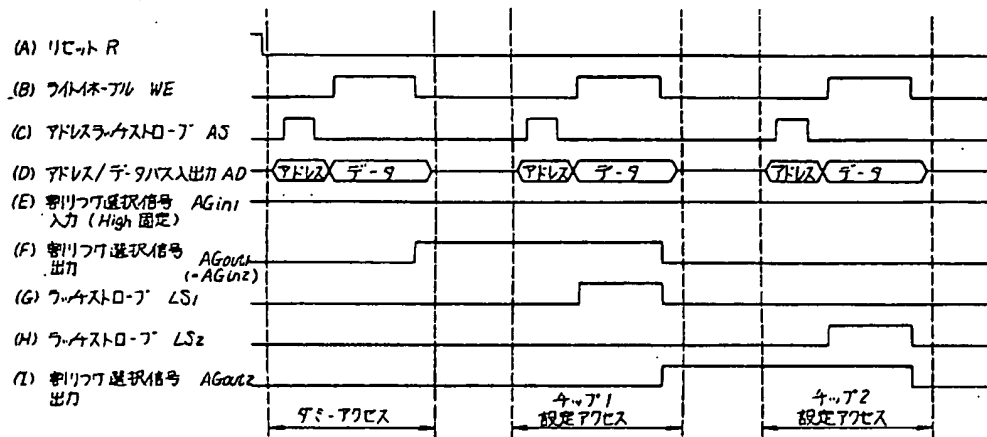
代理人 井理士 小沢信助



第1図



第3図



第2図

